

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100163

(43)Date of publication of application : 07.04.2000

(51)Int.Cl. G11C 11/407
H03L 7/00
// G06F 1/08

(21)Application number : 10-270054 (71)Applicant : FUJITSU LTD

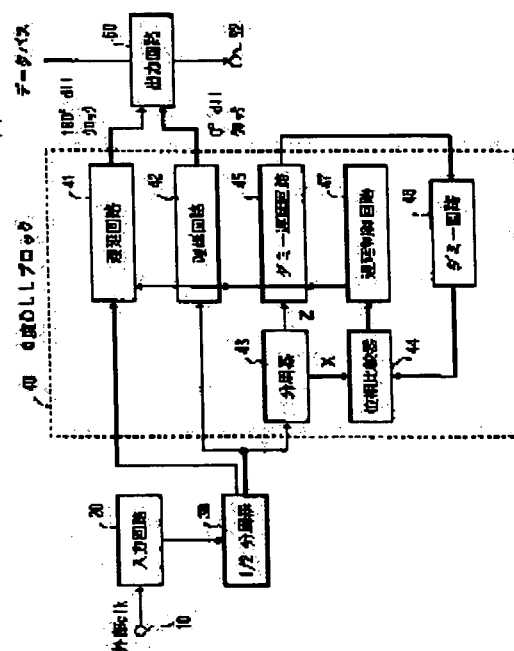
(22)Date of filing : 24.09.1998 (72)Inventor : FUJIEDA WAICHIRO
YAMAZAKI MASAFUMI
KAWASAKI KENICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device that can prevent a chip area from increasing, cannot be affected by power supply noise, and can generate a clock where a leading phase is accurately shifted by 180 degrees and an inverted clock.

SOLUTION: A semiconductor integrated circuit device is provided with a 1/2 divider 30 for generating first and second dividing clock signals where leading phases are shifted by 180 degrees each other by dividing an input clock signal by 2 and a DLL circuit 40 for delaying the first and second dividing clock signals by specific phases for the input clock signal before outputting. As a result, only one DLL circuit is required, the increase in a chip area can be prevented, and the number of delay circuits where the first and second dividing clock signals pass can be reduced, thus reducing the effect of power supply noise.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)IntCl. ⁷	識別記号	F I	テマコード* (参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 C
H 0 3 L 7/00		H 0 3 L 7/00	D
// G 0 6 F 1/08		G 1 1 C 11/34	3 6 2 S
		G 0 6 F 1/04	3 2 0 B

審査請求 未請求 請求項の数3 O L (全 18 頁)

(21)出願番号	特願平10-270054	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成10年9月24日(1998.9.24)	(72)発明者	藤枝 和一郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72)発明者	山崎 雅文 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	100070150 弁理士 伊東 忠彦

最終頁に続く

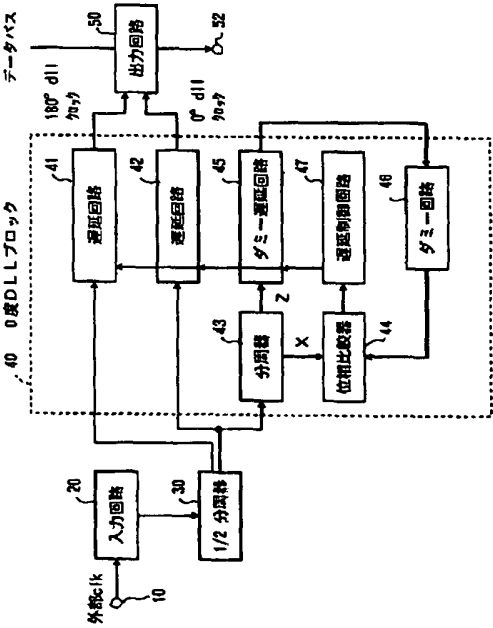
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 本発明は、チップ面積の増大を防止でき、電源ノイズの影響を受けにくく、かつ、立ち上がりの位相が正確に180度ずれたクロックと反転クロックとを生成できる半導体集積回路装置を提供することを目的とする。

【解決手段】 入力クロック信号を1/2分周して立ち上がりの位相が互いに180度ずれた第1、第2分周クロック信号を生成する1/2分周器30と、第1、第2分周クロック信号それぞれを入力クロック信号に対して所定の位相だけ遅延して出力するDLL回路40とを有する。このため、DLL回路が1回路で済み、チップ面積の増大を防止でき、また、第1、第2分周クロック信号の通る遅延回路の数が少ないため、電源ノイズの影響を受けにくくなる。

本発明の半導体集積回路装置の一実施例のブロック図



【特許請求の範囲】

【請求項1】 入力クロック信号を1/2分周して位相が互いに180度ずれた第1、第2分周クロック信号を生成する1/2分周器と、

前記第1、第2分周クロック信号それぞれを前記入力クロック信号に対して所定の位相だけ遅延して出力するDLL回路とを有することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、

前記1/2分周器は、前記入力クロック信号でスレーブラッチ部の出力相補信号をゲーティングする第1ゲート部と、

前記第1ゲート部の出力信号を供給されてラッチするマスタラッチ部と、

前記入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングする第2ゲート部と、

前記第2ゲート部の出力信号を供給されてラッチするスレーブラッチ部とを有し、

前記マスタラッチ部の出力相補信号を前記第1、第2分周クロック信号として出力することを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、

前記DLL回路は、前記第1分周クロック信号を所定の分周率で分周してダミークロックと、その反転信号である基準クロックとを出力する分周器と、

前記ダミークロックを遅延するダミー遅延回路と、

所定の遅延量を持ち、前記ダミー遅延回路の出力するダミークロックを遅延するダミー回路と、

前記ダミー回路の出力するダミークロックと前記基準クロックとの位相比較を行う位相比較器と、

前記位相比較器の出力する位相差を供給され、前記位相差がなくなるよう前記ダミー遅延回路の遅延量を制御する遅延制御回路と、

前記遅延制御回路の制御により前記ダミー遅延回路と同一遅延量とされ、前記第1分周クロック信号を遅延して出力する第1遅延回路と、

前記遅延制御回路の制御により前記ダミー遅延回路と同一遅延量とされ、前記第2分周クロック信号を遅延して出力する第2遅延回路とを有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、DLL(Delayed Locked Loop)回路を有する半導体集積回路装置に関する。近年、半導体集積回路装置は高速化及び高集積化が進み、クロック信号に対しても、位相の同期したクロック信号を所定の回路へ供給することが必要になってきている。

具体的には、例えば、シンクロナスDRAM(SDRAM)においては、DLL(Delay Locked Loop)回路を使用して外部クロック信号に位相同期した信号を複数の出力バッファ回路に対して供給するようになっている。DLL回路が高い周波数に対応するためには、精度の高いデジタルDLL回路が必要となる。

【0002】

【従来の技術】図1は従来のDLL回路の一例のブロック図を示す。同図中、クロック入力パッド150を介して外部から入力される外部クロック信号は、バッファとして機能する入力回路152を通しリアルクロックとして遅延回路154及び分周器156に供給される。分周器156は上記の外部クロック信号を例えば分周率2/8で分周して、外部クロック信号の2周期分ハイレベルHで、6周期分ローレベルLのダミークロックZと、これを反転した外部クロック信号の2周期分ローレベルLで、6周期分ハイレベルHの基準クロックXとを生成する。

【0003】上記の基準クロックXは位相比較器158に供給され、ダミークロックZはダミー遅延回路160及びダミー回路162を通して遅延された後、位相比較器158に供給される。ダミー回路162は入力回路152及び出力回路168と同一の回路である。位相比較器158は、ダミー回路162よりの遅延されたダミークロックZと基準クロックXとの位相比較を行って位相差信号を生成し遅延制御回路164に供給する。遅延制御回路164は上記位相差信号に基づいて位相差がなくなる方向にダミー遅延回路160の遅延量を制御する。これによって、遅延されたダミークロックZの立ち上がりが基準クロックXの立ち上がりと一致するように、つまり、遅延されたダミークロックZが基準クロックXに対して外部クロック信号のk周期(ここではk=2)分遅延するようにダミー遅延回路160の遅延量が可変制御される。

【0004】ところで、リアルクロックを供給される遅延回路154はダミー遅延回路160と同一構成であり、遅延制御回路164によってダミー遅延回路160と同一遅延量となるように制御されており、遅延回路154で遅延されたリアルクロックが出力回路168に供給される。出力回路168はリアルクロックに同期してデータバス上のデータをバッファリングしてデータ出力パッド170から出力する。

【0005】ここで、ダミー回路162は入力回路152及び出力回路168と同一の回路であるため、遅延されたダミークロックZが基準クロックXに対して外部クロック信号のk周期分遅延した状態では、データ出力パッド170から出力されるデータは、クロック入力パッド150に入力される外部クロック信号に同期している。

【0006】ところで、出力回路168で上記のリアルクロックと、これを反転した反転リアルクロックを必要とする場合がある。これは、出力回路168に読み出しデータを供給するDRAMがリアルクロック、反転リアルクロックそれぞれに同期してデータを読み出すことによって見かけ上アクセス速度が2倍となる高速アクセスを行う場合である。このような場合、図1の回路では出力回路168内でインバータを用いて反転リアルクロックを生成しているが、この他に、図2に示すDLL回路が従来より用いられている。

【0007】図2は従来のDLL回路の他の一例のブロック図を示す。同図中、クロック入力パッド200を介して外部から入力される外部クロック信号は、バッファとして機能する入力回路202を通し1/2分周器203に供給される。1/2分周器203は、外部クロック信号を1/2分周して分周クロックを生成し、180度DLLブロック204の遅延回路205及び分周器206と、0度DLLブロック234の遅延回路235及び分周器236とに供給される。

【0008】180度DLLブロック204の分周器206は上記の分周クロックを例えば分周率1/8で分周して、外部クロック信号の1周期分ハイレベルHで、7周期分ローレベルLのダミークロックZと、これを反転した外部クロック信号の1周期分ローレベルLで、7周期分ハイレベルHの基準クロックXとを生成する。上記の基準クロックXは位相比較器208に供給され、ダミークロックZはダミー遅延回路220及びダミー遅延回路221を通して遅延された後、位相比較器208に供給される。ダミー回路212は入力回路202及び出力回路218と同一の回路である。位相比較器208は、ダミー回路212よりの遅延されたダミークロックZと基準クロックXとの位相比較を行って位相差信号を生成し遅延制御回路214に供給する。遅延制御回路214は上記位相差信号に基づいて位相差がなくなる方向にダミー遅延回路210、211の遅延量を制御する。これによって、遅延されたダミークロックZの立ち上がりが基準クロックXの立ち上がりと一致するように、つまり、遅延されたダミークロックZが基準クロックXに対して外部クロック信号のk周期（ここではk=2）分遅延するようにダミー遅延回路210、211の遅延量が可変制御される。

【0009】分周クロックを供給される遅延回路205はダミー遅延回路210、211と同一構成であり、遅延制御回路214によってダミー回路212と同一遅延量となるように制御されており、ダミークロックが2段のダミー遅延回路210、211で遅延されるのに対して、分周クロックは1段の遅延回路205で遅延されるために180度遅延されることになり、この180度遅延された分周クロックは0度DLLブロック234の遅延回路215に供給される。

【0010】0度DLLブロック234の分周器236は上記の分周クロックを例えば分周率1/8で分周して、外部クロック信号の1周期分ハイレベルHで、7周期分ローレベルLのダミークロックZと、これを反転した外部クロック信号の1周期分ローレベルLで、7周期分ハイレベルHの基準クロックXとを生成する。上記の基準クロックXは位相比較器238に供給され、ダミークロックZはダミー遅延回路240及びダミー回路242を通して遅延された後、位相比較器238に供給される。ダミー回路242は入力回路202及び1/2分周回路203及び出力回路218と同一の回路である。位相比較器238は、ダミー回路242よりの遅延されたダミークロックZと基準クロックXとの位相比較を行って位相差信号を生成し遅延制御回路244に供給する。遅延制御回路244は上記位相差信号に基づいて位相差がなくなる方向にダミー遅延回路240の遅延量を制御する。これによって、遅延されたダミークロックZの立ち上がりが基準クロックXの立ち上がりと一致するように、つまり、遅延されたダミークロックZが基準クロックXに対して外部クロック信号のk周期分遅延するようにダミー遅延回路240の遅延量が可変制御される。

【0011】ところで、遅延回路205で遅延された分周クロックを供給される遅延回路215と、1/2分周回路203からの分周クロックを供給される遅延回路235はダミー遅延回路240と同一構成であり、遅延制御回路244によってダミー遅延回路240と同一遅延量となるように制御されており、遅延回路235から360度遅延された分周クロック（0度クロック）がリアルクロックとして出力回路218に供給され、遅延回路215から540度遅延された分周クロック（180度クロック）が反転リアルクロックとして出力回路218に供給される。出力回路218は上記リアルクロック及び反転リアルクロックそれぞれに同期してデータバス上のデータをバッファリングして、データ出力パッド220から出力する。

【0012】

【発明が解決しようとする課題】図1の従来回路を用いて、出力回路118内でインバータにより反転リアルクロックを生成した場合、反転リアルクロックの立ち上がりは、インバータ1段分の遅延があるため、反転リアルクロックはリアルクロックと正確に180度位相の異なる信号とはならないという問題がある。

【0013】図2の従来回路では、180度DLLブロック204と、0度DLLブロック234とを持ち、遅延回路205、215、235、ダミー遅延回路211、240があるために、チップ面積の増大が避けられない。また、反転リアルクロックはリアルクロックに対して遅延回路を多く通ることになり、それだけ電源ノイズを受けやすくなるという問題があった。

【0014】本発明は、上記の点に鑑みてなされたもの

であり、チップ面積の増大を防止でき、電源ノイズの影響を受けにくく、かつ、立ち上がりの位相が正確に180度ずれたクロックと反転クロックとを生成できる半導体集積回路装置を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1に記載の発明は、入力クロック信号を1/2分周して位相が互いに180度ずれた第1、第2分周クロック信号を生成する1/2分周器と、前記第1、第2分周クロック信号それぞれを前記入力クロック信号に対して所定の位相だけ遅延して出力するDLL回路とを有する。

【0016】このように、入力クロック信号を1/2分周して立ち上がりの位相が互いに180度ずれた第1、第2分周クロック信号を生成し、それぞれをDLL回路で入力クロック信号に対して所定の位相だけ遅延して出力するため、DLL回路が1回路で済み、チップ面積の増大を防止でき、また、第1、第2分周クロック信号の通る遅延回路の数が少ないため、電源ノイズの影響を受けにくくなる。

【0017】請求項2に記載の発明は、請求項1記載の半導体集積回路装置において、前記1/2分周器は、前記入力クロック信号でスレーブラッチ部の出力相補信号をゲーティングする第1ゲート部と、前記第1ゲート部の出力信号を供給されてラッチするマスタラッチ部と、前記入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングする第2ゲート部と、前記第2ゲート部の出力信号を供給されてラッチするスレーブラッチ部とを有し、前記マスタラッチ部の出力相補信号を前記第1、第2分周クロック信号として出力する。

【0018】このように、入力クロック信号でスレーブラッチ部の出力相補信号をゲーティングしてマスタラッチ部でラッチし、入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングしてスレーブラッチ部でラッチし、マスタラッチ部の出力相補信号を出力するため、第1、第2分周クロック信号の立ち上がりの位相を正確に180度ずらすことができる。

【0019】請求項3に記載の発明は、請求項1または2記載の半導体集積回路装置において、前記DLL回路は、前記第1分周クロック信号を所定の分周率で分周してダミークロックと、その反転信号である基準クロックとを出力する分周器と、前記ダミークロックを遅延するダミー遅延回路と、所定の遅延量を持ち、前記ダミー遅延回路の出力するダミークロックを遅延するダミー回路と、前記ダミー回路の出力するダミークロックと前記基準クロックとの位相比較を行う位相比較器と、前記位相比較器の出力する位相差を供給され、前記位相差がなくなるよう前記ダミー遅延回路の遅延量を制御する遅延制御回路と、前記遅延制御回路の制御により前記ダミー遅延回路と同一遅延量とされ、前記第1分周クロック信号を遅延して出力する第1遅延回路と、前記遅延制御回路

の制御により前記ダミー遅延回路と同一遅延量とされ、前記第2分周クロック信号を遅延して出力する第2遅延回路とを有する。

【0020】このように、第1分周クロック信号を分周したダミークロックをダミー遅延回路とダミー回路で遅延してダミークロックと基準クロックとの位相比較を行い、その位相差がなくなるようダミー遅延回路及び第1、第2遅延回路の遅延量を制御するため、立ち上がりの位相が180度ずれた第1、第2分周クロック信号それぞれを入力クロック信号に対して所定の位相だけ遅延することができる。

【0021】

【発明の実施の形態】図3は、本発明のDLL回路の一実施例のブロック図を示す。同図中、クロック入力パッド10を介して外部から入力される外部クロック信号は、バッファとして機能する入力回路20を通し1/2分周器30に供給される。1/2分周器30は、外部クロック信号を1/2分周して、互いに位相が正確に180度ずれた分周クロック（第1分周クロック）と反転分周クロック（第2分周クロック）とを生成する。反転分周クロックは0度DLLブロック40の遅延回路（第2遅延回路）41に供給され、分周クロックは0度DLLブロック40の遅延回路（第1遅延回路）42及び分周器43に供給される。

【0022】0度DLLブロック40の分周器43は上記の分周クロックを例えば分周率1/8で分周して、外部クロック信号の1周期分ハイレベルHで、7周期分ローレベルLのダミークロックZと、これを反転した外部クロック信号の1周期分ローレベルLで、7周期分ハイレベルHの基準クロックXとを生成する。図4(a)に示す如き上記の基準クロックXは位相比較器44に供給され、図4(b)に示す如きダミークロックZはダミー遅延回路45及びダミー回路46を通して遅延された後、位相比較器44に供給される。ダミー回路46は入力回路20及び1/2分周器30及び出力回路50と同一の回路で、同一の遅延量を有している。位相比較器44は、図4(b)に示す如きダミー回路46よりの遅延されたダミークロックdZと位相比較器44よりの基準クロックXとの位相比較を行って位相差信号を生成し遅延制御回路47に供給する。遅延制御回路47は上記位相差信号に基づいて位相差がなくなる方向にダミー遅延回路45の遅延量を制御する。これによって、図4(a)、(b)に示すように遅延されたダミークロックdZの立ち上がりが基準クロックXの立ち上がりと一致するように、つまり、遅延されたダミークロックdZが基準クロックXに対して外部クロック信号のk周期分（ここではk=2）遅延するようにダミー遅延回路45の遅延量が可変制御される。

【0023】ところで、1/2分周器30からの反転分周クロックを供給される遅延回路41と、1/2分周器

30からの分周クロックを供給される遅延回路42はダミー遅延回路45と同一構成であり、遅延制御回路47によってダミー遅延回路45と同一遅延量となるように制御されており、遅延回路42から360度遅延された図4(d)に示す如き分周クロック(0度クロック)がリアルクロックとして出力回路50に供給され、遅延回路41から180度遅延された図4(e)に示す如き分周クロック(180度クロック)が反転リアルクロックとして出力回路50に供給される。出力回路50は上記リアルクロック及び反転リアルクロックそれぞれに同期してデータバス上のデータをバッファリングして、データ出力パッド52から出力する。即ち、出力回路50から出力されるデータは、クロック入力パッド10に与えられる外部からの入力クロック信号に同期している。

【0024】このように、入力クロック信号を1/2分周して立ち上がりの位相が互いに180度ずれた第1、第2分周クロック信号を生成し、それぞれをDLL回路で入力クロック信号に対して所定の位相だけ遅延して出力するため、DLL回路が1回路で済み、チップ面積の増大を防止でき、また、第1、第2分周クロック信号の通る遅延回路の数が少ないため、電源ノイズの影響を受けにくくなる。

【0025】図5は、図3に示す1/2分周器30の一構成例を示す回路図であり、図6は分周器30の各ノードの信号波形を示す図である。図9に示すように、1/2分周器30はNANDゲート61～68及びインバータ69よりなる。信号IN(入力回路10よりの外部クロック信号)は第1ゲート部のNANDゲート61、62に供給されると共に、インバータ69で反転されて第2ゲート部のNANDゲート65、66に供給される。

【0026】NANDゲート61、62それぞれにはスレーブラッチ部のNANDゲート68、67それぞれの出力が供給され、NANDゲート61、62それぞれの出力はマスタラッチ部のNANDゲート63、64に供給される。NANDゲート63、64それぞれにはNANDゲート64、63それぞれの出力が供給され、NANDゲート63、64それぞれの出力相補信号はNANDゲート65、66に供給される。NANDゲート67、68それぞれにはNANDゲート65、66それぞれの出力が供給され、NANDゲート67、68それぞれの出力相補信号はNANDゲート68、67に供給される。

【0027】NANDゲート61～68それぞれの出力端子がノードno2～no9に対応している。ノードno5を信号を分周クロックとして取り出すと、ノードno4では分周クロックに対して位相が180度ずれた反転分周クロックが取り出される。この分周クロックを図3の遅延回路42及び分周器43に供給し、反転分周クロックを遅延回路41に供給する。

【0028】このように、入力クロック信号でスレーブ

ラッチ部の出力相補信号をゲーティングしてマスタラッチ部でラッチし、入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングしてスレーブラッチ部でラッチし、マスタラッチ部の出力相補信号を出力するため、第1、第2分周クロック信号の立ち上がりの位相を正確に180度ずらすことができる。

【0029】図7は、図3に示す分周器43の一構成例を示す回路図であり、図8は図7の分周器43の各ノードの信号波形を示す図である。図7に示すように、分周器43は複数のNANDゲート及びインバータよりなる3段のカウンタ301～303を具備し、信号S1(1/2分周器30よりの分周クロック)を分周して、信号S2、S3を生成する。なお、図8において、参照符号Aは1つ目のカウンタ301の出力信号、Bは2つ目のカウンタ302の出力信号であり、各信号波形は図8に示す通りである。また、分周器43は、複数のNANDゲート及びインバータよりなる3段のカウンタで構成されるものに限定されず、様々な論理ゲートの組み合わせとして構成できる。

【0030】図8に示すように、分周器43は入力クロック信号S1を8分周して、外部クロック信号の1クロックサイクル分の期間がハイレベルHで、7クロックサイクル分がローレベルLとなる信号S2を生成する。また、分周器43はこの信号S2に相補関係にある信号S3を生成する。図9は、信号S0～S3の位相関係を示す図である。図示するように、位相比較回路31は、8周期に1回の割合で位相比較を行う。また、信号S0は1周期遅れで信号S1に同期している。これにより、出力回路50における出力クロック信号は、1クロックサイクル前の外部クロック信号に位相同期している。

【0031】なお、分周器43の信号S2の期間aを変化させることで、何クロック前の外部クロック信号から出力クロック信号を生成するかを調整することができる。例えば、信号S2の期間aを3クロック分の長さとするにより、3クロック前の外部クロック信号に同期した出力クロック信号を生成することができる。また、信号S2の期間a+bを変えることによって、何周期毎に位相比較を行うかを調整することができる。

【0032】入力回路20、遅延回路41の最小の遅延時間、クロック配線の遅延時間及び出力回路50の遅延時間の合計が外部クロック信号の2周期分の時間(2クロックサイクル)よりも短い場合には、2クロックサイクル前の外部クロックから位相同期した内部クロック信号を生成することができる。図10は、同一構成の遅延回路41、42及びダミー遅延回路45の一構成例を説明するための図である。同図(a)は1ビット分の遅延回路(単位遅延回路)の構成を示し、同図(b)はこの単位遅延回路の動作を示すタイミング図であり、同図(c)は単位遅延回路を複数段接続した場合の構成と動作を示す。

【0033】図10(a)に示すように、単位遅延回路は2個のNANDゲート401と402、及びインバータ403からなる。単位遅延回路の動作を図10(b)を参照して説明すると、入力 ϕE は活性化信号(イネーブル信号)で、ハイレベルHの時に単位遅延回路が動作する。図10(b)は、イネーブル信号 ϕE がハイレベルHになって信号のアクセスが可能になった状態を示している。なお、図10(b)において、INは単位遅延回路への入力信号を示し、またNは複数段接続された遅延回路のうち隣接する右側の単位遅延回路からの信号を示し、OUTは単位遅延回路の出力信号を示し、4a-1及び4a-2は図10(a)において対応するノードの波形を示している。従って、OUTは左側に隣接する単位遅延回路の信号 ϕN に対応する。

【0034】信号 ϕN がローレベルLの時には出力信号OUTは常にローレベルLになる。また、信号 ϕN がハイレベルHで信号 ϕE がローレベルLの時には、出力信号OUTはハイレベルになる。信号 ϕN がハイレベルで信号 ϕE がハイレベルの時には、入力信号INがローレベルLであれば出力信号OUTはハイレベルHになり、INがハイレベルであればローレベルLになる。

【0035】図10(a)の回路によれば、イネーブル信号 ϕE がハイレベルHの状態を入力信号INが立ち上がると、その入力信号は矢印の経路に伝播するが、イネーブル信号 ϕE がローレベルLの状態では、入力信号INが出力OUTに矢印の経路で伝播しないようになっている。図10(c)は、図10(a)に示す単位遅延回路を複数段カスケード接続した例であり、実際の遅延回路33、ダミー遅延回路34に相当する。図10(c)では3段のみ示されているが、実際には所望の遅延量が得られるように多数段接続されている。また、イネーブル信号 ϕE の信号線は、回路要素毎に $\phi E-1$ 、 $\phi E-2$ 、 $\phi E-3$ のように複数本あり、これらの信号は遅延制御回路32で制御される。

【0036】図10(c)では、中央の単位遅延回路が活性化されており、イネーブル信号 $\phi E-2$ がハイレベルHになっている。この場合、入力信号INがローレベルLからハイレベルHに変化すると、左側の単位遅延回路と右側の単位遅延回路のイネーブル信号 $\phi E-1$ 及び $\phi E-3$ はローレベルであるから、太線のように入力信号INはNANDゲート401-1及び401-3で止められてしまう。

【0037】一方、活性化されている中央の単位遅延回路のイネーブル信号 $\phi E-2$ はハイレベルHであるから、入力信号INはNANDゲート401-2を通過する。右側の単位遅延回路の出力信号OUTはハイレベルHであるから、入力信号INはNANDゲート402-2も通過して、出力信号OUTとしてローレベルLの信号が伝播されることになる。上記のように、右側の出力信号OUT、すなわちイネーブル信号 ϕN がローレベル

Lの時には、出力信号OUTは常にローレベルLになるので、このローレベルLの信号が左側の単位遅延回路のNANDゲート及びインバータに順次伝達され、最終的な出力信号として取り出される。

【0038】このように、活性化された単位遅延回路を介して、入力信号INは折り返されるように信号伝達され、最終的な出力信号になる。つまり、どの部分のイネーブル信号 ϕE をハイレベルHにするかにより、遅延量を制御することができる。1ビット分の遅延量(単位遅延量)はNANDゲートとインバータの合計の信号伝播時間で決定され、この時間がDLL回路の遅延単位時間になり、そして、全体の遅延時間は単位遅延量に通過する段数を乗じた量になる。

【0039】図11は、図3に示す遅延制御回路47の一構成を示す回路図である。遅延制御回路47は、上記と同じ単位遅延回路を有する単位遅延制御回路430-2を遅延回路41、42、ダミー遅延回路45の単位遅延回路の段数分だけ接続した構成になっており、各段の出力が遅延回路の格段のイネーブル信号 ϕE になる。単位遅延制御回路430-2はNANDゲート432-2とインバータ433-2で構成されるフリップフロップの両端にそれぞれ直列に接続されたトランジスタ435-2、437-2、438-2、439-2及びNORゲート431-2を有している。トランジスタ438-2のゲートは前段の単位遅延制御回路のノード5a-2に接続され、トランジスタ439-2のゲートは後段の単位遅延制御回路のノード5a-5に接続されて、前段と後段の信号を受けるようになっている。一方、直列接続されている他方のトランジスタには、カウントアップする時のセット信号 ϕSE 及び ϕSO と、カウントダウンする時のリセット信号 ϕRE 及び ϕRO が1ビットおきに接続されている。

【0040】図11に示されるように、中央の単位遅延制御回路430-2では、トランジスタ435-2のゲートにセット信号 ϕSO が供給され、トランジスタ437-2にリセット信号 ϕRO が供給され、トランジスタ437-2にリセット信号 ϕRO が供給され、また単位遅延制御回路430-2の前段及び後段の両側の回路の各対応するトランジスタのゲートにはそれぞれセット信号 ϕSE 及びリセット信号 ϕRE が供給されている。またNORゲート431-2には、左側(前段)の回路のノード5a-1と回路430-2のノード5a-4の信号が入力される構成になっている。なお、 ϕR は単位遅延制御回路をリセットする信号で、電源投入後に一時的にローレベルLになり、その後はハイレベルHに固定される。

【0041】図12は、図11に示す遅延制御回路47の動作を説明するためのタイミング図である。図12に示すように、まずリセット信号 ϕR が一時的にローレベルLになり、ノード5a-1、5a-3、5a-5がハ

イレベルH、また5a-2、5a-4、5a-6がローレベルLにセットされる。そして、カウントアップする時には、カウントアップ信号(セット信号)φSE及びφSOが交互にハイレベルHとローレベルLを繰り返す。

【0042】セット信号φSEがローレベルLからハイレベルHになると、ノード5a-1は接地されてローレベルLになり、またノード5a-2はハイレベルHに変化する。ノード5a-2がハイレベルHに変化したのを受けて、出力信号(イネーブル信号)φE-1はハイレベルHからローレベルLに変化する。この状態はフリップフロップにラッチされるので、セット信号φSEがローレベルLに戻ったとしても、イネーブル信号φE-1はローレベルLのままである。そして、ノード5a-1がローレベルLに変化したのを受けて、イネーブル信号(出力信号)φE-2がローレベルLからハイレベルHに変化する。ノード5a-2がハイレベルHに変化したのでトランジスタ438-2はオン状態になり、セット信号φSOがローレベルLからハイレベルHになると、ノード5a-3は設置されてローレベルLに、またノード5a-4はハイレベルHに変化する。更に、ノード5a-4がハイレベルHに変化したのを受けて、イネーブル信号φE-2はハイレベルHからローレベルLに変化する。この状態はフリップフロップにラッチされるので、セット信号φSOがローレベルLに戻ったとしても、イネーブル信号φE-2はローレベルLのままである。

【0043】そして、ノード5a-3がローレベルLに変化したのを受けて、イネーブル信号φE-3がローレベルLからハイレベルHに変化する。図8では、セット信号φSE及びφSOが1パルスずつ出ているだけであるが、単位遅延制御回路が何段にも接続されており、セット信号φSE及びφSOが交互にハイレベルHとローレベルLを繰り返せば、出力信号(イネーブル信号)φEがハイレベルHになる段の位置が順次右側にシフトする。従って、位相比較回路31の比較結果により遅延量を増加させる必要がある場合には、交互にセット信号φSE及びφSOのパルスを入力すればよい。

【0044】カウントアップ信号(セット信号)φSE及びφSOと、カウントダウン信号(リセット信号)φRE及びφROとが出力されない状態、すなわちローレベルLである状態が維持されれば、イネーブル信号φEはハイレベルHなる段の位置は固定される。従って、位相比較回路31の比較結果により遅延量を維持する必要がある場合には、信号φSE、φSO、φRE及びφROのパルスを入力しないようにする。

【0045】カウントダウンする時には、リセット信号φRE及びφROのパルスを交互に入力すると、カウントアップ時と逆に出力φEがハイレベルHになる段の位置が順次左側にシフトする。以上説明したように、図1

1に示した遅延制御回路47では、パルスを入力することにより、イネーブル信号φEがハイレベルHになる段の位置を1つずつ移動させることが可能であり、これらのイネーブル信号φEで図10(c)に示した遅延回路を制御すれば遅延量を1単位ずつ(単位遅延時間毎に)制御することができる。

【0046】次に、図3に示す位相比較器44の構成を説明する。位相比較器44は図13に示す位相比較部と、図15に示す増幅回路部とからなる。始めに、図13に示す位相比較部について、図14を参照して説明する。図14において、参照符号φout及びφextは、この位相比較回路で比較する出力信号(S0)と外部クロック信号(S3)を示し、信号φextを基準として信号φoutの位相が判定される。また、φa〜φeは図15に示す増幅回路部に接続される出力信号を示している。

【0047】図13に示すように、位相比較器44の位相比較部は、2個のNANDゲートで構成されたフリップフロップ回路421及び422、その状態をラッチするラッチ回路425及び426、ラッチ回路の活性化信号を生成する回路424、外部クロック信号φextを単位遅延量だけ遅延させる遅延回路423、及び信号φoutを単位遅延量だけ遅延させる遅延回路430とを備えて構成される。フリップフロップ回路421は-t_dの範囲、フリップフロップ回路422は+t_dの範囲の位相比較を行っている。

【0048】図14(a)は比較対象信号φoutが比較基準信号φextよりも位相がt_dを越えて進んでいる場合、すなわち信号φoutが信号φextより先にローレベルLからハイレベルHになる場合を示している。信号φoutと信号φextが共にローレベルLの時には、フリップフロップ回路421及び422のノード6a-2、6a-3、6a-4、6a-5は全てハイレベルHになっている。

【0049】信号φoutがローレベルLからハイレベルHに変化すると、ノード6a-4がハイレベルHからローレベルLに変化し、ノード6a-0が1遅延分(t_d)遅れてローレベルLからハイレベルHになることで、ノード6a-2がハイレベルHからローレベルLに変化する。その後、信号φextがローレベルLからハイレベルHになり、また1遅延分遅れてノード6a-1がローレベルLからハイレベルHになるが、フリップフロップの両端の電位はすでに確定しているので、何ら変化は生じない。結局、ノード6a-2はローレベルL、ノード6a-3はハイレベルH、ノード6a-4はローレベル、そしてノード6a-5はハイレベルを維持する。

【0050】一方、信号φextがローレベルからハイレベルHに変化したのに応じて、回路424の出力信号φaはローレベルLからハイレベルHに変化し、ノード

6a-6には一時的にハイレベルHになるパルスが印加される。このノード6a-6はラッチ回路425及び426のNANDゲートの入力となっているので、このNANDゲートが一時的に活性化されて、フリップフロップ回路421及び422の両端の電位状態をラッチ回路425及び426に取り込むことになる。最終的には、出力信号φbがハイレベルH、出力信号φcがローレベルL、出力信号φdがハイレベルH、そして出力信号φeがローレベルLになる。

【0051】次に、図14(b)は比較対象信号φoutと比較基準信号φextの位相がほぼ同じ(±td内)で、信号φoutが信号φextとほぼ同時にローレベルLからハイレベルHになる場合を示している。信号φoutの立ち上がり時点とノード6a-1の立ち上がり時点との時間差内に信号φoutがローレベルLからハイレベルHに変化した時、まず信号φextがローレベルLからハイレベルHになることによってフリップフロップ421のノード6a-3がローレベルLからハイレベルHに変化する。フリップフロップ422では、ノード6a-1がローレベルLのままなので、逆にノード6a-4がハイレベルHからローレベルLに変化する。その後、ノード6a-1がハイレベルHからローレベルLに変化するが、フリップフロップ422の状態は既に決まっているので、何ら変化は生じない。その後、ノード6a-6が一時的にハイレベルHになるので、ラッチ回路にはこの状態が記憶され、結局、出力信号φbがローレベル、出力信号φcがハイレベルH、出力信号φdがハイレベルH、そして出力信号φeがローレベルになる。

【0052】図14(c)は、比較対象信号φoutが比較基準信号φextよりも位相がtdを越えて遅れており、φoutがφextより後にローレベルLからハイレベルHになる場合を示している。この場合には、φextによって2個のフリップフロップ回路421と422に変化が生じて、6a-3と6a-5がハイレベルHからローレベルLに変化する。そして、最終的には、φbがローレベル、φcがハイレベルH、φdがローレベルL、φeがハイレベルHになる。

【0053】このように、信号(比較基準信号)φextの立ち上がり時間を基準として、信号(比較対象信号)φoutの立ち上がり時間がそれ以前にハイレベルHになったか、ほぼ同時であったか、あるいは遅れてハイレベルHになったかを検出することが可能になる。これらの検出結果を出力信号φb、φc、φd及びφeの値としてラッチしておき、その値に基づいて遅延制御回路47をカウントアップするか、カウントダウンするかを決めることができる。

【0054】次に、図15を参照して、位相比較器44の増幅回路部の一構成例を説明する。なお、図16は図15に示すJKフリップフロップの動作を説明するため

のタイミング図である。図15に示すように、位相規格回路31の増幅回路部は、JKフリップフロップ427と、NANDゲート及びインバータで構成される増幅部428との2つの部分を備えて構成されている。JKフリップフロップ427には、図13の位相比較部からの出力信号φaが入力され、信号φaがローレベルLであるかハイレベルHであるかに応じてノード7a-9及び7a-11の電位が交互にローレベルLとハイレベルHを繰り返す仕組みになっている。増幅部428は、JKフリップフロップ427の出力信号と、信号φb及びφdの信号を受けて増幅して出力する。

【0055】まず、JKフリップフロップ427の動作を図16のタイミング図を参照して説明する。時間T1で、信号φaがハイレベルHからローレベルLに変化すると、ノード7a-1及び7a-10がローレベルLからハイレベルHに変化する。一方、ノード7a-1の変化に応じて、ノード7a-5、7a-6、及び7a-7が変化するが、信号φaがローレベルLであるために、ノード7a-8は変化しない。結局、出力(ノード)7a-9は変化せず、出力7a-11のみがローレベルLからハイレベルHになる。次に、時間T2になって、φaがローレベルLからハイレベルHに変化すると、時間T1での動きと逆にノード7a-8はハイレベルHからローレベルLに、7a-10は7a-7が変化しないので変化せず、出力7a-9はローレベルLからハイレベルHに変化し、出力7a-11は変化しない。このように、JKフリップフロップ回路427は、信号φaの動きに応じて出力7a-9及び7a-11が交互にハイレベルHとローレベルLを繰り返す動きをする。

【0056】図17は、上記増幅回路部のカウントアップ時の動作を示すタイミング図(カウントアップ時)であり、図18は増幅回路部のカウント維持時の動作を示すタイミング図であり、図19は増幅回路部のカウントダウン時の動作を示すタイミング図である。これらの図を参照して、図15に示す増幅部428の動作を説明する。

【0057】図17は、比較基準信号φextの立ち上がりに対して、比較対象信号φoutが先にローレベルLからハイレベルHになる場合を示している。この場合の位相比較部からの入力信号は、信号φbがハイレベルH、信号φcがローレベルL、信号φdがハイレベルH、信号φeがローレベルLである。結局、ノード7a-12がハイレベルHになり、ノード7a-13がローレベルLに固定され、セット信号φSO及びφSEはJKフリップフロップの状態に応じて変化するが、リセット信号φRO及びφREは7a-13がローレベルLのため変化しない。

【0058】図18は、比較対象信号φoutが比較基準信号φextとほぼ同時にローレベルLからハイレベルHになる場合を示している。この場合の位相比較部か

らの入力信号は、信号φbがローレベルL、信号φcがハイレベル、信号φdがハイレベル、信号φeがローレベルである。結局、ノード7a-12及び7a-13がローレベルLに固定され、リセット信号φSE及びφSOはJKフリップフロップの出力が増幅部に影響することなく、信号φSO、φSE、φRO及びφREはローレベルLに固定されたままになる。

【0059】図19は、比較対象信号φoutが比較基準信号φextの立ち上がりに対して遅れてローレベルLからハイレベルHになる場合を示している。この場合の位相比較部からの入力信号は、信号φbがローレベルL、信号φcがハイレベルH、信号φdがローレベルL、信号φeがハイレベルHである。結局、ノード7a-12がローレベルLに固定され、ノード7a-13がハイレベルHに固定され、リセット信号φRO及びφREはJKフリップフロップ427の状態に応じて変化するが、セット信号φSO及びφSEはノード7a-13がローレベルLのために変化しない。

【0060】また、図15には、信号φb及びφeからリセット信号を生成する論理回路431が図示されている。φoutがφextに対し±tdの範囲を越えている場合にはリセット信号はHにあり、その範囲内であればリセット信号はLである。図20は、本発明に係る半導体集積回路装置(DLL)が適用される一例としてのシンクロナスDRAM(SDRAM)の構成を示す図であり、図21は図20のSDRAMの動作を説明するためのタイミングチャートである。

【0061】本発明が適用される半導体集積回路装置の一例としてのSDRAMは、例えばパイプライン方式が採用され、16M・2バンク・8ビット幅のものとして構成されている。図20に示されるように、SDRAMは汎用DRAMのDRAMコア108a、108bの他に、クロックバッファ101、コマンドデコーダ102、アドレスバッファ/レジスタ&バンクアドレスセレクト(アドレスバッファ)103、I/Oデータバッファ/レジスタ104、制御信号ラッチ105a、105b、モードレジスタ106、コラムアドレスカウンタ107a、107bを備えている。ここで、/CS、/RAS、/CAS、/WE端子は、従来の動作とは異なり、その組み合わせで各種コマンドを入力することによって動作モードが決定されるようになっている。各種コマンドは、コマンドデコーダで解釈されて、動作モードに応じて各回路を制御することになる。また、/CS、/RAS、/CAS、/WE信号は、制御信号ラッチ105aと105bにも入力されて次のコマンドが入力されるまで、その状態がラッチされる。

【0062】アドレス信号は、アドレスバッファ103で増幅されて各バンクのロードアドレスとして使用される他、コラムアドレスカウンタ107a及び107bの初期値として使用される。クロックバッファ101は、

内部クロック生成回路121及び出力タイミング制御回路122を備えている。内部クロック生成回路121は、外部クロック信号CLKから通常の内部クロック信号を生成するものであり、また、出力タイミング制御回路122は、前述したようなDLL回路を適用して正確な遅延制御(位相制御)を行ったクロック信号を発生させるためのものである。

【0063】I/Oデータバッファ/レジスタ104は、データ入力バッファ13及びデータ出力バッファ(出力回路)51を備え、DRAMコア108a及び108bから読み出された信号は、データ出力バッファ51により所定のレベルに増幅され、出力タイミング制御回路122からのクロック信号に従ったタイミングでデータバッドDQ0~DQ7を介して出力される。また、入力データに関しても、バッドDQ0~DQ7から入力されたデータは、データ入力バッファ13を介して取り込まれる。ここで、クロック配線41は、出力タイミング制御回路122から各データ出力バッファ51までの配線に対応している。

【0064】上記SDRAMの読み取り動作を図21を参照して説明する。まず、外部クロック信号CLKは、このSDRAMが使用されるシステムから供給される信号であり、このCLKの立ち上がりに同期して、各種コマンド、アドレス信号、入力データを取り込み、又は出力データを出力するように動作する。

【0065】SRAMからデータを読み出す場合、コマンド信号(/CS、/RAS、/CAS、/WE信号)の組み合わせからアクティブ(ACT)コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このコマンド、ローアドレスが入力されるとSDRAMは活性状態になり、ローアドレスに応じたワード線を選択して、ワード線上のセル情報をビット線に出力し、センスアンプで増幅する。

【0066】更に、ローアドレスに関係した部分の動作時間(tRCD)後に、リードコマンド(Read)とコラムアドレスを入力する。コラムアドレスに従って、選択されたセンスアンプデータをデータバス線に出力し、データバスアンプで増幅し、出力バッファで更に増幅して出力端子(DQ)にデータが出力される。これら一連の動作は汎用DRAMと全く同じ動作であるが、SDRAMの場合、コラムアドレスに係る回路がパイプライン動作するようになっており、リードデータは毎サイクル専属して出力されることになる。これにより、データ転送速度は外部クロック信号CLKの周期になる。

【0067】SDRAMでのアクセス時間には3種類あり、いずれも外部クロック信号CLKの立ち上がり時点基準にして定義される。図21において、tRACはローアドレスアクセス時間、tCACはコラムアドレスアクセス時間、tACはクロックアクセス時間を示して

いる。図22は、図20のSDRAMの要部構成を概略的に示すブロック図であり、SDRAMにおけるパイプライン動作を説明するためのもので、一例としてパイプが3段設けられている場合を示している。

【0068】SDRAMでのコラムアドレスに関係する処理回路は、処理の流れに沿って複数段に分割されており、分割された各段の回路をパイプと呼んでいる。クロックバッファ101は図20を参照して説明したように、内部クロック生成回路121及び出力タイミング制御回路122を備え、内部クロック生成回路121の出力（通常の内部クロック新尾久）がパイプー1及びパイプー2に供給され、出力タイミング制御回路122の出力（位相制御された内部クロック信号）がパイプー3の出力回路50（データ出力バッファ）に供給されるようになっている。

【0069】各パイプは供給された内部クロック信号に従って制御され、各パイプの間には、パイプ間の信号の伝達タイミングを制御するスイッチが設けられており、これらのスイッチもクロックバッファ101（内部クロック発生回路121）で生成された内部クロック信号により制御される。図22に示す例では、パイプー1において、コラムアドレスバッファ116でアドレス信号を増幅してコラムデコーダ118にアドレス信号を送り、コラムデコーダ118で選択されたアドレス番地に相当するセンスアンプ回路117の情報をデータバスに出力し、データバスの情報をデータバスアンプ119で増幅するまで行われる。また、パイプー2にはデータバス制御回路120のみが設けられ、パイプー3はI/Oバッファ104（出力回路50）で構成されている。なお、I/Oバッファ104におけるデータ入力バッファ13は図22では省略されている。

【0070】そして、各パイプ内の回路も、クロックサイクル時間内で完全に動作完了するならば、パイプとパイプとの間にあるスイッチをクロック信号に同期して開閉することで、リレー式にデータを送り出す。これにより、各パイプでの処理が並列に行われることになり、出力端子にはクロック信号に同期して連続的にデータが出力されることになる。

【0071】図23は、本発明に係る半導体集積回路装置における出力回路（データ出力バッファ）50の一構成例を説明するための図である。図22及び図23に示されるように、図23におけるData1及びData2は、セルアレイ115から読み出され、センスアンプ117とデータバスアンプ119とデータバス制御回路120を介して出力された記憶データに対応する信号であり、Data1及びData2は、出力データがハイレベルHの場合には共にローレベルLであり、出力データがローレベルLの場合には共にハイレベルHである。なお、出力データがハイレベルHでもローレベルLでもないハイインピーダンス状態（ハイゼット状態）をとる

ことも可能であり、その場合にはデータバス制御回路120において、Data1がハイレベルHに、Data2がローレベルLになるように変換される。Data3及びData4も、Data1及びData2と同様に、セルアレイ115から読み出され、センスアンプ117とデータバスアンプ119とデータバス制御回路120を介して出力された記憶データに対応する信号であり、Data1及びData2は、出力データがハイレベルHの場合には共にローレベルLであり、出力データがローレベルLの場合には共にハイレベルHである。

【0072】信号φ0は、出力タイミング制御回路122（図3中の遅延回路42）の出力信号（リアルクロック）に対応するもので、出力回路のイネーブル信号として機能するものである。クロック信号φ0が立ち上がってハイレベルHになると、Data1とData2の情報がデータ出力パッド52（DQ0～DQ7）に現われる。例えば、データ出力パッド52にハイレベルHを出力する場合を想定すると、クロック信号φ0がローレベルLからハイレベルHに変化し、ノード8a-1AがローレベルLに、ノード8a-2AがハイレベルHになって、トランスファゲートがオンしてData1及びData2がノード8a-3及び8a-6に伝達される。その結果、ノード8a-5がローレベルLに、ノード8a-8がハイレベルHになると、出力用のPチャネルトランジスタ81はオンとなり、またNチャネルトランジスタ82はオフとなって、データ出力パッド52にはハイレベルHの出力が現われることになる。また、クロック信号φ0がローレベルLになると、トランスファゲートはオフして、それまでの出力状態が保持される。

【0073】信号φ18は、出力タイミング制御回路122（図3中の遅延回路41）の出力信号（反転リアルクロック）に対応するもので、出力回路のイネーブル信号として機能するものであり、クロック信号φ0に対して位相が180度異なっている。クロック信号φ18が立ち上がってハイレベルHになると、Data3とData4の情報がデータ出力パッド52（DQ0～DQ7）に現われる。例えば、データ出力パッド52にハイレベルHを出力する場合を想定すると、クロック信号φ18がローレベルLからハイレベルHに変化し、ノード8a-1BがローレベルLに、ノード8a-2BがハイレベルHになって、トランスファゲートがオンしてData3及びData4がノード8a-3及び8a-6に伝達される。その結果、ノード8a-5がローレベルLに、ノード8a-8がハイレベルHになると、出力用のPチャネルトランジスタ81はオンとなり、またNチャネルトランジスタ82はオフとなって、データ出力パッド52にはハイレベルHの出力が現われることになる。また、クロック信号φ18がローレベルLになると、トランスファゲートはオフして、それまでの出力状態が保持される。

【0074】つまり、クロック信号φ0の立ち上がり時にData1とData2の情報がラッチされてデータ出力パッド52から出力され、次に、クロック信号φ18の立ち上がり時にData3とData4の情報がラッチされてデータ出力パッド52から出力され、これを交互に繰り返す。本発明は上記実施例に限定されることなく、種々の変形例が可能である。例えば、遅延回路を構成する遅延素子として機能する論理素子はNANDゲートやインバータに限定されず、NORやEOR等の論理素子を用いて構成することができる。

【0075】以上の説明では、本発明の半導体集積回路装置をSDRAMとして説明したが、本発明はSDRAMに限らず、外部から入力される信号に同期して出力信号が出力される半導体集積回路装置であれば、どのようなものにも適用可能である。

【0076】

【発明の効果】上述の如く、請求項1に記載の発明は、入力クロック信号を1/2分周して位相が互いに180度ずれた第1、第2分周クロック信号を生成する1/2分周器と、前記第1、第2分周クロック信号それぞれを前記入力クロック信号に対して所定の位相だけ遅延して出力するDLL回路とを有する。

【0077】このように、入力クロック信号を1/2分周して立ち上がりの位相が互いに180度ずれた第1、第2分周クロック信号を生成し、それぞれをDLL回路で入力クロック信号に対して所定の位相だけ遅延して出力するため、DLL回路が1回路で済み、チップ面積の増大を防止でき、また、第1、第2分周クロック信号の通る遅延回路の数が少ないため、電源ノイズの影響を受けにくくなる。

【0078】また、請求項2に記載の発明では、1/2分周器は、前記入力クロック信号でスレーブラッチ部の出力相補信号をゲーティングする第1ゲート部と、前記第1ゲート部の出力信号を供給されてラッチするマスタラッチ部と、前記入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングする第2ゲート部と、前記第2ゲート部の出力信号を供給されてラッチするスレーブラッチ部とを有し、前記マスタラッチ部の出力相補信号を前記第1、第2分周クロック信号として出力する。

【0079】このように、入力クロック信号でスレーブラッチ部の出力相補信号をゲーティングしてマスタラッチ部でラッチし、入力クロック信号の反転信号でマスタラッチ部の出力相補信号をゲーティングしてスレーブラッチ部でラッチし、マスタラッチ部の出力相補信号を出力するため、第1、第2分周クロック信号の立ち上がりの位相を正確に180度ずらすことができる。

【0080】また、請求項3に記載の発明は、DLL回路は、前記第1分周クロック信号を所定の分周率で分周してダミークロックと、その反転信号である基準クロッ

クとを出力する分周器と、前記ダミークロックを遅延するダミー遅延回路と、所定の遅延量を持ち、前記ダミー遅延回路の出力するダミークロックを遅延するダミー回路と、前記ダミー回路の出力するダミークロックと前記基準クロックとの位相比較を行う位相比較器と、前記位相比較器の出力する位相差を供給され、前記位相差がなくなるよう前記ダミー遅延回路の遅延量を制御する遅延制御回路と、前記遅延制御回路の制御により前記ダミー遅延回路と同一遅延量とされ、前記第1分周クロック信号を遅延して出力する第2遅延回路と、前記遅延制御回路の制御により前記ダミー遅延回路と同一遅延量とされ、前記第2分周クロック信号を遅延して出力する第1遅延回路とを有する。

【0081】このように、第2分周クロック信号を分周したダミークロックをダミー遅延回路とダミー回路で遅延してダミークロックと基準クロックとの位相比較を行い、その位相差がなくなるようダミー遅延回路及び第1、第2遅延回路の遅延量を制御するため、立ち上がりの位相が180度ずれた第1、第2分周クロック信号それぞれを入力クロック信号に対して所定の位相だけ遅延することができる。

【図面の簡単な説明】

【図1】従来のDLL回路の一例のブロック図である。

【図2】従来のDLL回路の他の一例のブロック図である。

【図3】本発明の半導体集積回路装置の一実施例のブロック図である。

【図4】図3の半導体集積回路装置の各部の信号波形を示す図である。

【図5】図3の半導体集積回路装置における1/2分周器の例を示す回路図である。

【図6】図5の1/2分周器の各ノードの信号波形を示す図である。

【図7】図3の半導体集積回路装置における分周器の例を示す回路図である。

【図8】図7の分周器の各ノードの信号波形を示す図である。

【図9】図7の分周器を使用した半導体集積回路装置の動作を説明するためのタイミング図である。

【図10】本発明の半導体集積回路装置における遅延回路の一構成例を説明するための図である。

【図11】本発明の半導体集積回路装置における遅延制御回路47の一構成例を説明するための図である。

【図12】図11の遅延制御回路の動作を説明するためのタイミング図である。

【図13】本発明の半導体集積回路装置における位相比較器44の位相比較部の一構成例を説明するための図である。

【図14】図13の位相比較部の動作を説明するためのタイミング図である。

【図15】本発明の半導体集積回路装置における位相比較器44の増幅回路部の一構成例を説明するための図である。

【図16】図15の増幅回路部におけるJKフリップフロップの動作を説明するためのタイミング図である。

【図17】図15の増幅回路部の動作を説明するためのタイミング図(カウントアップ時)である。

【図18】図15の増幅回路部の動作を説明するためのタイミング図(カウント維持時)である。

【図19】図15の増幅回路部の動作を説明するためのタイミング図(カウントダウン時)である。

【図20】本発明に係る半導体集積回路装置が適用される一例としてのシンクロナスDRAMの構成を示す図である。

【図21】図20のシンクロナスDRAMの動作を説明するためのタイミング図である。

【図22】図20のシンクロナスDRAMの要部構成を概略的に示すブロック図である。

【図23】本発明に係る半導体集積回路装置における出力回路(データ出力バッファ)の一構成例を説明するための図である。

【符号の説明】

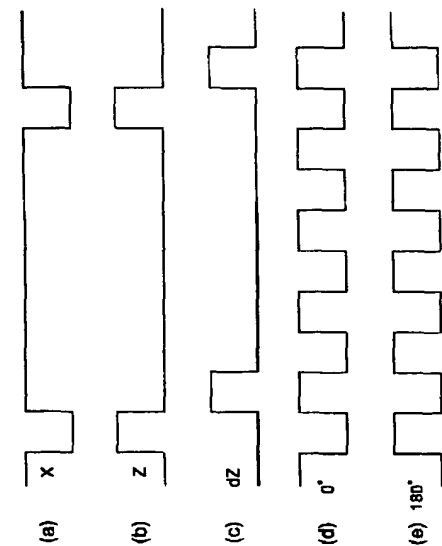
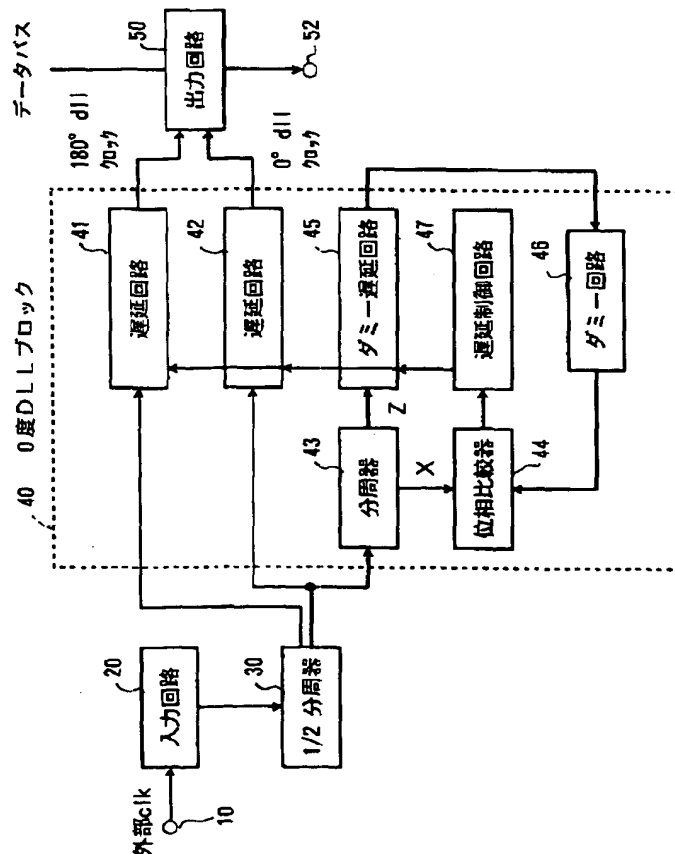
- 10 クロック入力パッド
- 20 入力回路
- 30 1/2分周器
- 40 0度DLLブロック
- 41, 42 遅延回路
- 43 分周器
- 44 位相比較器
- 45 ダミー遅延回路
- 46 ダミー回路
- 47 遅延制御回路
- 50 出力回路
- 52 データ出力パッド
- 61 ~ 68 NANDゲート
- 69 インバータ

【図3】

【図4】

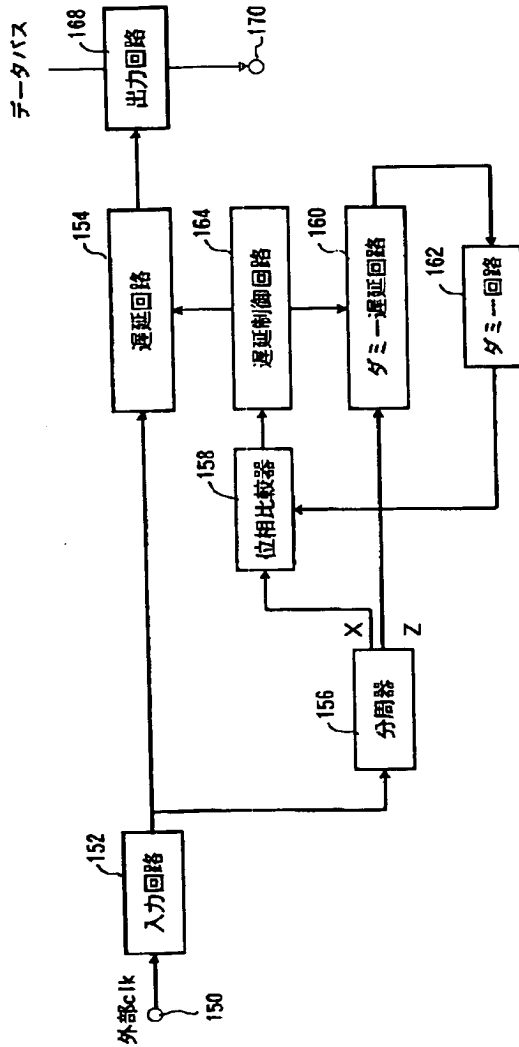
本発明の半導体集積回路装置の一実施例のブロック図

図3の半導体集積回路装置の各部の信号波形を示す図



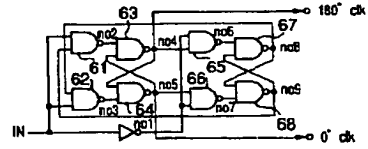
【図1】

従来のDLL回路の一例のブロック図



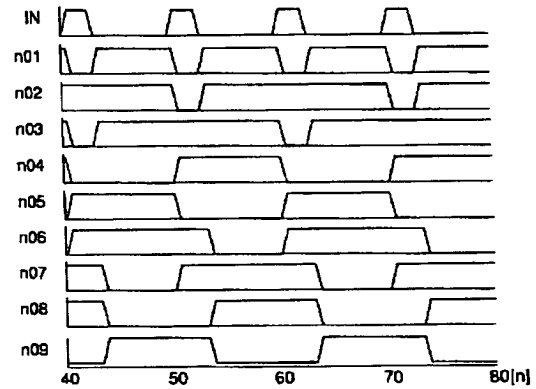
【図5】

図3の半導体集積回路装置における1/2分周器の例を示す回路図



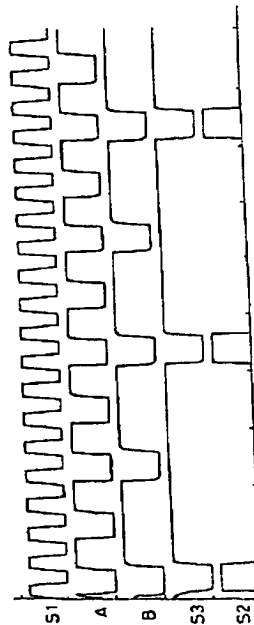
【図6】

図5の1/2分周器の各ノードの信号波形を示す図



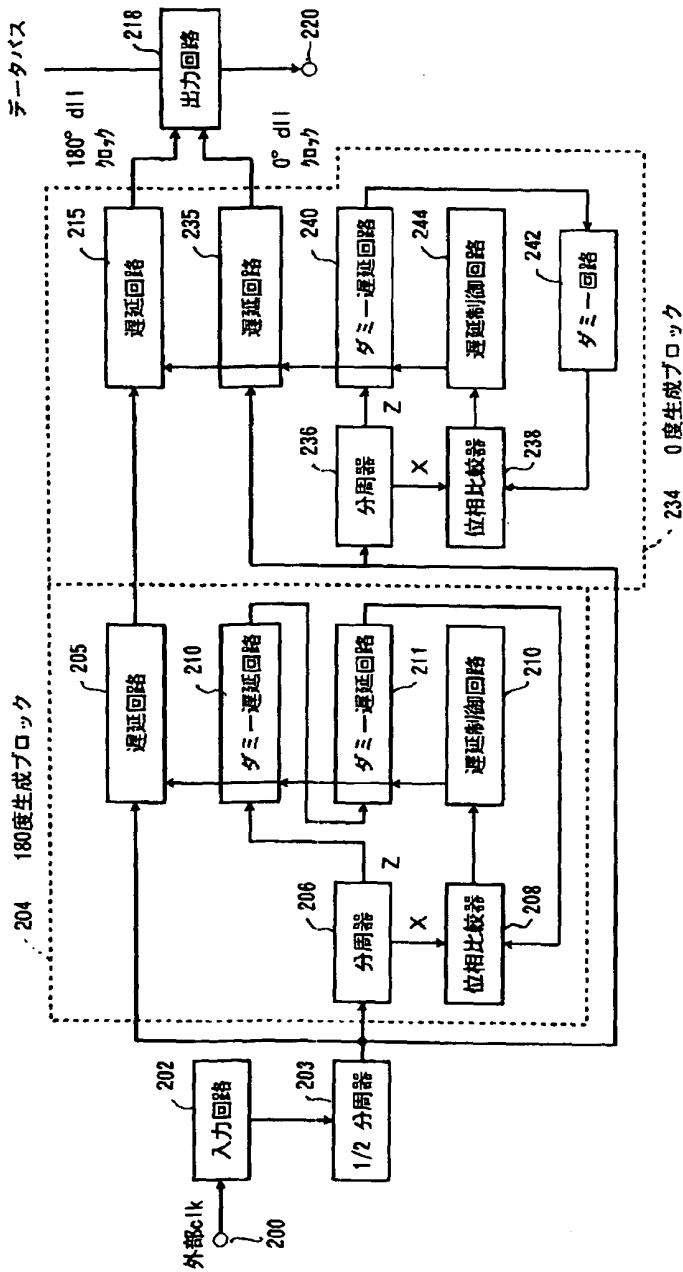
【図8】

図7の分周器の各ノードの信号波形を示す図



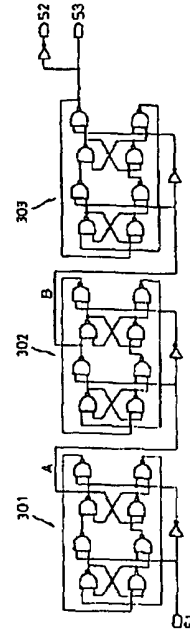
【図2】

従来のDLL回路の他の一例のブロック図



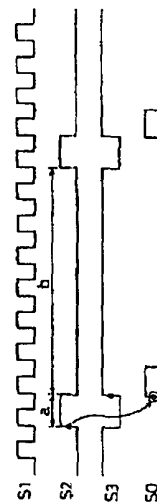
【図7】

図3の半導体集積回路装置における分周器の例を示す回路図



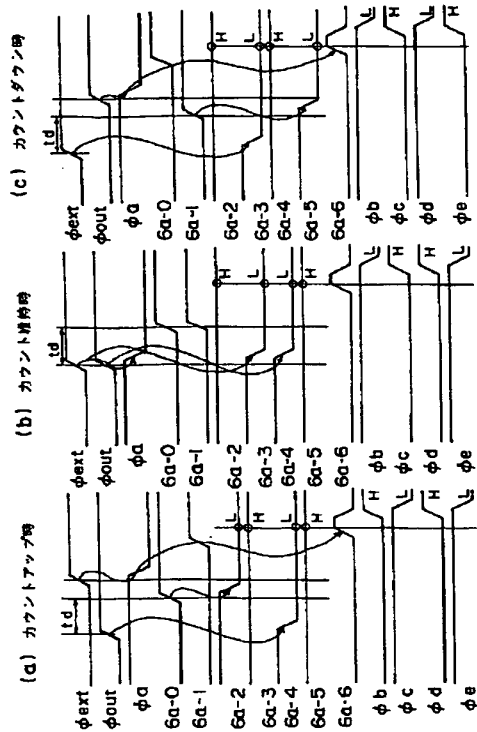
【図9】

図7の分周器を使用した半導体集積回路装置の動作を説明するためのタイミング図



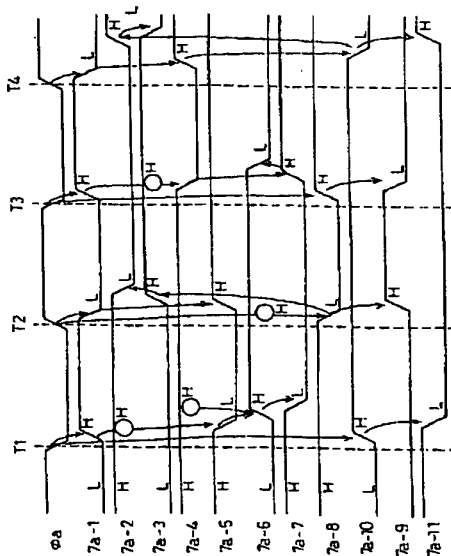
【図14】

図13の位相比較部の動作を説明するためのタイミング図



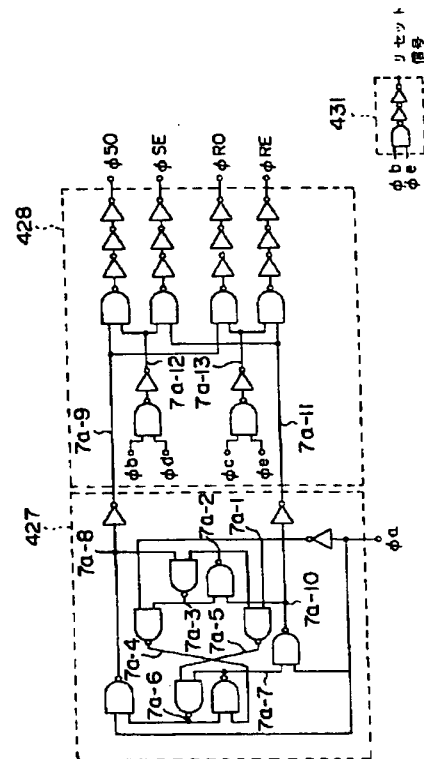
【図16】

図15の増幅回路部におけるJKフリップフロップの動作を説明するためのタイミング図



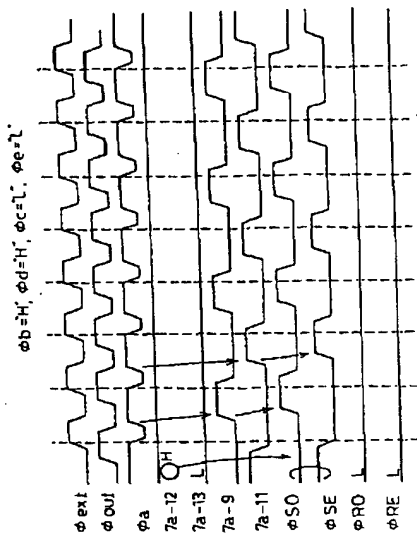
【図15】

本発明の半導体集積回路装置における位相比較器44の増幅回路部の一構成例を説明するための図



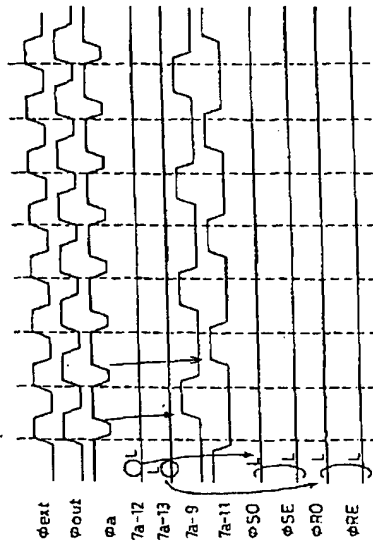
【図17】

図15の増幅回路部の動作を説明するための
タイミング図(カウントアップ時)



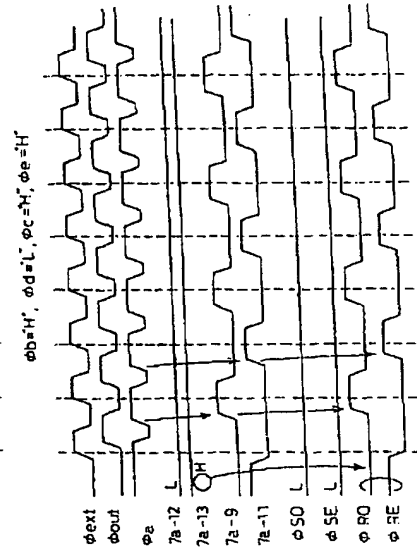
【図18】

図15の増幅回路部の動作を説明するための
タイミング図(カウント維持時)



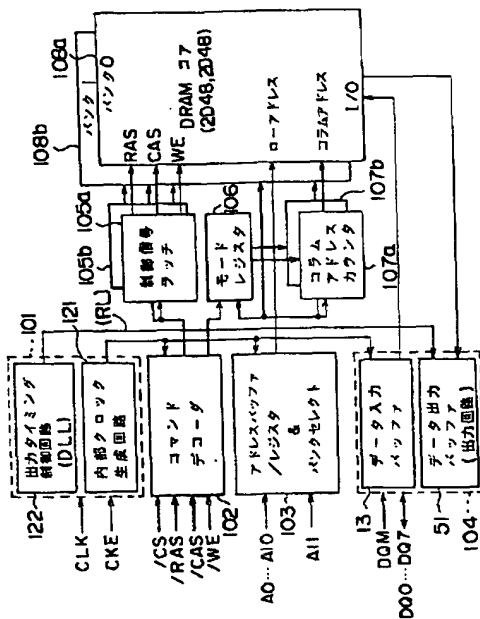
【図19】

図15の増幅回路部の動作を説明するための
タイミング図(カウントダウン時)



【図20】

本発明に係る半導体集積回路装置が適用される一例としての
シンクロナスDRAMの構成を示す図



【図21】

図20のシンクロナスDRAMの動作を説明
するためのタイミング図

